

PAT-NO: JP02001044361A  
DOCUMENT-IDENTIFIER: JP 2001044361 A  
TITLE: LAMINATED MULTI-CHIP SEMICONDUCTOR DEVICE  
PUBN-DATE: February 16, 2001

INVENTOR-INFORMATION:

NAME

SAKAGUCHI, MASARU

ISHIDA, TOSHIHARU

ASHIZAWA, KOJI

TANAKA, HIROYUKI

MIYANO, ICHIRO

YAMAZAKI, KAZUO

YAMADA, MUNEHICO

COUNTRY

N/A

N/A

N/A

N/A

N/A

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP2000204078

APPL-DATE: January 27, 1992

INT-CL (IPC): H01L025/10, H01L025/11 , H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a mass storage multi-chip semiconductor device for ensuring high reliability of a connection part.

SOLUTION: In a stack multichip semiconductor device, plural tape carriages where semiconductor chips are connected electrically to film carrier tapes having wiring patterns on at least one face are laminated/connected via connector frames 2a and 2b. A lead 15a of the film the carriage package is extended, so that it protrudes to a side outside of the end faces of connector

frame terminals 26a and 27b and a solder fillet is formed between the tape carrier packages via the lead 15a extended, so that it protrudes and connect them.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44361

(P2001-44361A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) IntCl.

識別記号

F I

ターコード\* (参考)

H 0 1 L 25/10

H 0 1 L 25/14

Z

25/11

25/18

審査請求 有 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2000-204078 (P2000-204078)

(62) 分割の表示 特願平4-11927の分割

(22) 出願日 平成4年1月27日 (1992.1.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坂口 勝

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 石田 寿治

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075753

弁理士 和泉 良彦

最終頁に続く

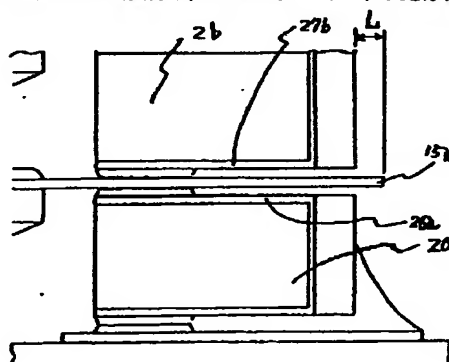
(54) 【発明の名称】 積層マルチチップ半導体装置

(57) 【要約】

【目的】 接続部の高信頼性を確保した大容量のマルチチップ半導体装置を提供すること。

【構成】 上記目的は、少なくとも一面に配線パターンを有するフィルムキャリアテープに半導体チップを電氣的に接続したテープキャリアパッケージを、コネクタ枠2 a、2 bを介して複数個積層接続した積層マルチチップ半導体装置において、上記フィルムキャリアパッケージのリード15 aを該コネクタ枠端子26 a、27 bの端面より外側に突出するように張り出させかつその突出するように張り出させたリード15 aを介して上記テープキャリアパッケージ間にはんだフィレットを形成して接続したことを特徴とする積層マルチチップ半導体装置を構成することによって達成することができる。

【図13】 コネクタ枠端子とTCPのアウトリーフとの接続部の断面図



## 【特許請求の範囲】

【請求項1】少なくとも一面に配線パターンを有するフィルムキャリアテープに半導体チップを電氣的に接続したテープキャリアパッケージを、コネクタ枠を介して複数個積層接続した積層マルチチップ半導体装置において、積層した各テープキャリアパッケージのリードを上記コネクタ枠の端部から突出するように張り出させかつその突出するように張り出させたリードを介して上記テープキャリアパッケージ間にはんだフィレットを形成して接続したことを特徴とする積層マルチチップ半導体装置。

【請求項2】基板と接続する上記テープキャリアパッケージを除くその他の積層されたテープキャリアパッケージ間において上記リードを上記コネクタ枠の端部から突出するように張り出させかつその突出するように張り出させたリードを介して上記テープキャリアパッケージ間にはんだフィレットを形成して接続したことを特徴とする請求項1記載の積層マルチチップ半導体装置。

【請求項3】上記コネクタ枠の端部近傍に位置するテープキャリアパッケージのリード幅を上記コネクタ枠の端子幅と同等かそれ以上に広げたことを特徴とする請求項1または2記載の積層マルチチップ半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は情報機器等に用いられる半導体装置に係り、特に、大容量でかつ接続部の高信頼度を確保することのできる積層マルチチップ半導体装置に関する。

## 【0002】

【従来の技術】半導体メモリは大型コンピュータ、ワークステーション、パーソナルコンピュータ、ワードプロセッサ等の情報機器に多量に使用されており、今後これらの機器の高性能化、多機能化、製品拡大がさらに進むと予想されることから、ここで用いられる半導体メモリの需要も加速度的に増大して行くものと考えられる。この場合、大容量のメモリを必要とする装置では、機器内で半導体メモリの占める実装面積が益々増大する傾向にあり、機器の小型化、軽量化を阻害する最大の要因となっている。

【0003】この問題を解決する方法として、従来から強力に推し進められているチップ内素子の高集積化により1チップ当りのメモリ容量を増大する方法、または、パッケージされたメモリモジュールをプリント配線板に高密度に実装する方法、あるいは、特開昭 59-180386号公報及び特開昭 61-101067号公報記載のように、複数個の半導体チップを厚さ方向に積み重ねて高密度化を図る方法がある。

【0004】これらの方法のうち、チップ内素子を高密度化する方法は、従来技術の延長では解決できない新しい局面にきており、新技術、新生産設備の開発が必要に

なっている。また、プリント配線板に高密度実装する方法は、モジュールの小型化、プリント配線板への両面実装、ZIP (zigzag in-line-package) 部品の採用などが行われているが、1個のチップを1パッケージとしたモジュールを使用する限りでは、これ以上の大幅な高密度化は困難な状況にある。

【0005】これに対し、複数個の IC チップを厚さ方向に積み重ねる方法が極めて有利であり、これまで、種々の提案がなされている。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記公報における開示を含めこれまでに提示されている方法では、各層の端子を密着して接続する構造であるため、接続の信頼性が十分に確保できないという不具合があった。

【0007】本発明の目的は、上記従来技術の有していた課題を解決して、接続部の高信頼性を確保した大容量のマルチチップ半導体装置を提供することにある。

## 【0008】

【課題を解決するための手段】上記目的は、フィルムキャリアテープに半導体チップを電氣的に接続したテープキャリアパッケージを、少なくともその一面に接続端子を有するコネクタ枠を介して複数個積層接続した積層マルチチップ半導体装置において、上記コネクタ枠の少なくとも一面に上記接続端子厚さよりも厚く絶縁膜を形成したマルチチップ半導体装置とすること、あるいは、上記コネクタ枠の少なくとも一面の端子の一部に突起を形成したマルチチップ半導体装置とすること、あるいは、フィルムキャリアテープに半導体チップを電氣的に接続したテープキャリアパッケージを少なくともその一面に配線パターンを有するコネクタ枠を介して複数個積層接続した積層マルチチップ半導体装置において、上記コネクタ枠の一端をコネクタ枠端部に露出させた構造とした積層マルチチップ半導体装置とすること、あるいは、少なくとも一面に配線パターンを有するフィルムキャリアテープに半導体チップを電氣的に接続したテープキャリアパッケージをコネクタ枠を介して複数個積層接続した積層マルチチップ半導体装置において、上記フィルムキャリアパッケージのリードを該コネクタ枠端部の端部面と同一か、またはそれ以上に露出させたテープキャリアパッケージを有する構成とした積層マルチチップ半導体装置とすることによって達成することができる。

## 【0009】

【作用】上記構成とすることによって、各層間の接合はんだ厚さをある一定厚さ以上に確保するとともに、接続部に十分なはんだを供給することができ、接続部の接続の高信頼性を確保することができる。

## 【0010】

【実施例】以下、本発明マルチチップ半導体装置の構成について参考例及び実施例によって具体的に説明する。

【0011】マルチチップ半導体装置の参考例を図1～12により、本発明の一実施例を図13～16により説明する。なお、各図において同一符号は同一内容を示し、また、テープキャリアパッケージ(以下、TCP と略称する)及びコネクタ枠を複数段積み重ねた図においては、下段から上段に、各符号数字の後に a、b、c、d 等の記号を付して区分した。

【0012】まず、図1は、TCP 1とコネクタ枠2とを交互に積み重ね、電気的に接続した本発明マルチチップ半導体装置6をはんだ5によってマザーボード4に接続したモジュールの断面を示した図である。すなわち、コネクタ枠2と TCP 1とが4段交互に積み重ねられ、最上層に蓋を付され、はんだによって接合されてマルチチップ半導体装置6となり、このマルチチップ半導体装置6がはんだ5によってマザーボード4上に配置接続されていることを示す。

【0013】次に、図2に TCP 1の平面図、図3に図2 A-A 部の断面を示す。これらの図において、半導体チップ10の上面にバンパ11が形成されており、該バンパ11にフィルムキャリアテープ12上に形成されたインナーリード13が接続されており、フィルムキャリアテープ12の基材の一部で構成されるサポートリング14がリードを保持するとともに、インナーリード13からアウターリード15へのリードピッチを広げるための配線エリアの役目を有している。

【0014】半導体チップ10の表面及びインナーリードボンディング部を含めサポートリング部14にかけて保護コート樹脂16が塗布されている。短辺方向に配置されるリードにはチップ選択バンパ17につながるチップ選択リード18、その他のバンパ11につながる共通リード15、さらにバンパとはつながらないダミーリード19がある。また、長辺方向のサポートリング14上には仮固定リード20が配置されている。

【0015】次に、図4にコネクタ枠の平面図、図5にコネクタ枠の一部の平面拡大図、図6に図5の側面図、図7に図5の A-A 部の断面図を示す。この図4～7において、基材25の表裏面には表面端子26と裏面端子27とが形成されており、表裏面の端子は表裏のランド28を有する端面スルーホール29によって電気的に接続されている。端子の内側部分には表面スペーサ30、裏面スペーサ31が形成されている。また、長手方向の基材25面上には仮固定用端子32が配置されている。

【0016】図8は接続部の一部拡大断面図である。この図において、第1段目のコネクタ枠2aには表面端子26a、裏面端子27aとが形成され、その端子の上面には表面スペーサ30a、裏面スペーサ31aが形成されている。表面端子26aと裏面端子27aとは端面スルーホール29aによって接続されている。第2段目のコネクタ枠2bも第1段目のコネクタ枠2aと同じ構造である。TCP 1aのアウターリード15aは表面スペーサ30aと裏面スペーサ31b

とに挟まれた形で表面端子26aと裏面端子27bとの間を通り、コネクタ枠の端部に達している。また、はんだ33aは端面スルーホール29a、表面端子26a、裏面端子27bを濡らし接続部全体に充填されている。

【0017】マザーボード4には基板端子34が形成されており、該基板端子34の上には基板スペーサ35が形成されている。基板スペーサ35とコネクタ枠2aの裏面スペーサ31aとは対向して接しており、これらのスペーサによって一定の間隔を保持された基板端子34とコネクタ枠2aの裏面端子27aとの間にははんだ5が充填されている。

【0018】図9はマルチチップ半導体装置6の動作を説明するための回路ブロック図である。この図において、半導体チップ10a、10b、10c、10d にはアドレス端子40、データ入出力端子41、ライトイネーブル端子42、アウトイネーブル端子43、電源端子44、グラウンド端子45、チップ選択端子46a、46b、46c、46d が電気的に接続されている。これらの端子の内、チップ選択端子46a～46dはそれぞれの半導体チップ10a～10dに独立に接続されているが、その他の端子は半導体チップ10a～10dに共通に接続されている。なお、図9においてアドレス端子40及びデータ入力端子41は1本のラインで示してあるが、実際の配線では複数本で構成されている。これに対し、ライトイネーブル端子42、アウトイネーブル端子43、電源端子44、グラウンド端子45及びチップ選択端子46a～46dは実際の配線ではそれぞれ各1本の場合が多い。

【0019】この回路において、まず半導体チップ10へのデータの書き込みはアドレス線とデータ線に必要な情報を電気信号として与えておき、書き込み許可信号線を on にしておいて、情報を記憶させたいチップのチップ選択端子を on にすることにより、選択されたチップの希望のアドレスに所定の情報が記憶される。他の3個のチップは、それぞれのチップ選択端子が off に保たれているため、チップ内部の情報の変化はない。同様に、チップからの情報の読み出しは、情報を取り出したいアドレスを示す信号をアドレス線に与えておき、データ入出力許可端子を on にしておいて、情報を取り出したいチップ選択端子を on にすることによって、選択したチップの希望するアドレスからの情報がデータ入出力端子に出力される。

【0020】図10はチップ選択端子部の斜視図である。この図において、マザーボード4上にはチップ選択端子50a～50dが、また、コネクタ枠2上にはチップ選択端子51a～51dが形成されている。また、TCP 1 側には各段の半導体チップ10の共通位置にそれぞれのチップ選択バンパ17a～17dが形成されており、これらのバンパ17a～17dに接続して各段によってパターン形状の異なるチップ選択リード18a～18dが形成されており、コネクタ枠2のチップ選択端子51に接続されている。TCP 1のフィルム上にはチップ上のバンパと接続されない3個のダミーリー

ド19が形成されており、このダミーリード19はコネクタ棒2の端子と接続されている。

【0021】図11、12はコネクタ棒端子とTCP1リード及びマルチチップ半導体装置6とマザーボード4との接続状態を示す接続部の拡大断面図で、図11は共通端子部(図9のA-A部位置)、図12は第4段目の半導体10dがマザーボードと接続している(図9のB-B位置)チップ選択位置の接続部の拡大断面図である。図11において、マザーボード4の表面には基板端子34が形成されており、基板端子34上には基板スペーサ35が形成されている。コネクタ棒2aとコネクタ棒2bとはTCP1aのアウトリード15aを挟んではんだによって接続されている。同様に、コネクタ棒2bとコネクタ棒2c、コネクタ棒2cとコネクタ棒2d、コネクタ棒2dと蓋3もそれぞれのTCP1のアウトリード15を挟み込んではんだ33によって接続されている。コネクタ棒2aとマザーボード4とははんだ5によって接続されている。

【0022】図12において、チップ選択バンプ17dはチップ選択リード18dと接続されており、また、各コネクタ棒間はダミーリード19を間に挟んではんだ33a~33dによってつながっており、さらにマザーボード4上に配置されたチップ選択基板端子50dと電気的に接続される。これに対し、第1段~第3段のチップ選択バンプ17a~17cはこの断面位置ではリードとはつながっていない。

【0023】このような構成において、本発明になるマルチチップ半導体装置の各部の詳細構造について以下に説明する。

【0024】まず、図1において、マザーボード4は単層及び多層の配線を有するプリント配線板であって、その表面に本図に示すマルチチップ半導体装置6と共にその他の半導体部品及び一般電気部品を搭載したもので(配線及びその他の部品は図示せず)、入出力、演算、記憶、表示などの機能を備えた電子デバイスの一部である。

【0025】図2、3において、半導体チップ10はシリコンからなり内部にメモリ素子を形成したもので、4Mビットの記憶容量を有するダイナミック・ランダム・アクセスメモリである。半導体チップ10の表面には信号の入出力用の端子としてめっき法によって形成された金バンプ11及び17が配置されている。

【0026】フィルムキャリアテープ12はポリイミドフィルムに銅箔を固着してその銅箔をバタニングしてリードとしたもので、バタニング後のリード表面にはニッケルを下地として金めっきを施してある。

【0027】半導体チップ10上のバンプ11及び17にフィルムキャリアテープに形成したインナーリード13を位置合わせし、インナーリード13の上から加熱ブロックを押し当て、金-金の熱圧着ボンディング法によって接続する。

【0028】ここで、半導体チップ10上のバンプ11及び

17の形成は特にめっき法による形成に限定されるものではなく、予め別工程で形成しておいた金の小片を固着させること、あるいはワイヤボンディングの原理を用いて金線をバンプ11及び17の形状に熱圧着させることなどの方法も適用できる。また、材料も金に限定されるものではなく、銅、ニッケル及びこれらの合金であってもよい。

【0029】また、フィルムキャリアテープ上のリードの表面処理についても、金めっきに限定されるものではなく、すずめっき、はんだめっき等も十分適用可能である。また、リードの材質も銅に限定されるものではなく、銅合金、鉄、鉄合金等も適用することができる。

【0030】また、保護コートは、チップ10の表面及びインナーリード13部を保護するもので、本参考例ではエポキシ系の樹脂を用いた。なお、チップ上のバンプ11及び17の配置は図2においては短辺上のものを示したが、長辺上に配置されるもの、四辺に配置されるもの、チップの中央部に配置されるものも当然含まれる。

【0031】図2において、長辺上に形成された仮固定用リードはTCP1とコネクタ棒2を位置合わせして固定するときの仮接続用に用いるものである。すなわち、TCP1とコネクタ棒2を複数段積層接続する工程において、まず一組のTCP1とコネクタ棒2とを仮固定してコネクタ棒付きTCP(以下、棒付きTCPと略称する)とするが、このとき、コネクタ棒2とTCP1との位置合わせはそれぞれの上に設けた位置合わせマーク(図示せず)を用いて行い、TCP1の上記仮固定用リードをコネクタ棒の仮固定用端子に熱圧着する。

【0032】図4~図8に示すコネクタ棒2は、TCP1を複数個積層接続するときの各TCP1のリード間を接続し、同時にTCP1間の間隔を一定に保つためのものである。

【0033】図4~図8において、コネクタ棒2は、ガラスエポキシ基材25の両面銅張積層板を用いて表裏にパターンを形成して接続端子とし、該表裏パターンを接続するためのスルーホールを形成し、接続端子の一部にスペーサとなる樹脂層をスクリーン印刷法によって形成した後、金型により図4に示した形状に外形の打ち抜きを行う。表裏パターン及びスルーホールは銅めっきの上にはんだめっき処理を施す。上記の打ち抜きに際しては、スルーホールの中心線に沿って切断するように金型を設計することにより、スルーホールの内壁の一部を露出させた端面スルーホール29の形成を行う。仮固定用端子は、上述したように、TCP1との仮接続に用いる。

【0034】本参考例においてはコネクタ棒2にガラスエポキシ基材25の両面銅張積層板を用いたが、コネクタ棒2の材質はこれに限定されるものではなく、その他の有機樹脂あるいはセラミック等の無機系材料を用いることもできる。

【0035】スペーサ30及び31は積層接続時のはんだ接

統層の厚さを確保し、かつ、接続部のはんだが TCP 1 リードを伝わって内部に侵入しないようにするためのもの、はんだ付け温度に耐えるエポキシ系の樹脂を用いているが、これもエポキシ系樹脂に限定されるものではなく、その他の有機樹脂あるいはセラミック等の無機系材料を用いることができる。また、表裏パターン形成時に、図に示すスペーサ位置のパターンの一部を凸状にめっきあるいはエッチング処理によって形成することも可能である。表裏パターンの内スペーサで覆われた部分以外の面が接続に寄与する接続端子となる。コネクタ枠上の端子表面にははんだめっきを施しているが、これもはんだに限るものではなく、金、すずあるいはスルーホールを形成したときの銅であってもよい。

【0036】図2及び図10において、マルチチップ半導体装置6上のチップ選択用バンパ17は、チップ10上の位置に配置されるため、チップの種類は積層される段に影響されることなく種類でよい。また、コネクタ枠2についても各段とも同じパターン位置のものでよく、これも一種類でよい。これに対し、フィルムキャリアテープ12は、各段に対してパターン形状が異なるため、それぞれのパターンに応じた4種類のものを用意している。TCP 1 上のダミーリード19は、図12に示すように、チップ選択端子部の各段のコネクタ枠2間の接続を行うためのものである。

【0037】図1及び図10に示す蓋は、内部のくり抜きのない印刷配線板を用いることによってマルチチップ半導体装置6をマザーボード4に実装したときの内部保護を行うと共に、表面に形成した端子の面積を広くとることによって、4段積層した時点での電気的特性検査を容易に行えるようにしたものである。

【0038】ここで、TCP 1 とコネクタ枠2との積層接続方法について説明する。TCP 1 とコネクタ枠2との積層接続は、まず各段の TCP 1 とコネクタ枠2とを位置合わせ、仮固定して枠付き TCP 1 とした後、該枠付き TCP 1 を4段位置合わせし、さらに最上層に蓋を位置合わせして積層接続する。ここで、枠付き TCP 1 の仮固定には、パルスヒート方式の加熱圧着方式によって、コネクタ枠2の仮固定用端子32と TCP 1 の仮固定用リード20を圧着する。この場合、コネクタ枠2の端子にはんだめっきを、TCP 1 のリードに金めっきを用いているため、フラックスの使用なしではんだリフロー接続が可能であり、この工程を経た後の洗浄が不要であるという利点がある。なお、本参考例では熱圧着による仮固定について説明したが、接着剤による固定、機械的挟み付けによる固定等の方法も適用可能である。

【0039】また、この枠付き TCP 1 の4個と最上層の蓋の仮固定には、第1番目から順次一段づつ位置合わせし、接着剤で仮固定して行く方法をとった。この場合、各接続層の厚さが一定になるように、接着剤の硬化時に上段の枠付き TCP 1 を一定荷重で押し付ける方法

をとった。枠付き TCP 1 4個と最上層の蓋を位置合わせし、仮固定した後、接続部にはんだ付け用のフラックスを塗布し、端面スルーホール29部を溶融はんだに浸漬することによって接続部のはんだ付けを行った。

【0040】このようにしてはんだ接続したマルチチップ半導体装置6をはんだ印刷を施したマザーボード4上に位置合わせ配置し、ペーパーリフローソルダリングによりはんだ接続を行ってマルチチップ半導体モジュールとした。

10 【0041】図11はこのマルチチップ半導体モジュールの接続部の断面を示す図で、マザーボード4とマルチチップ半導体装置6及び各段のコネクタ枠の端子と TCP 1 のリードとがはんだによって完全に接続されていることを示している。

【0042】次に、本発明の実施例について、図13、14によって説明する。

20 【0043】図13はコネクタ枠2の端子と TCP 1 のアウターリードとの接続部の断面図である。この図において、コネクタ枠2aの表面端子26aとコネクタ枠2bの裏面端子27bとで挟まれた TCP 1 のアウターリード15aはコネクタ枠2の端部からLだけ張り出した構造である。

【0044】図14は図13に示した接続部の平面図である。この図において、アウターリード15の先端部分は元部分よりも幅広になっており、ランド28とほぼ同じ広さになっている。また、図15及び図16ははんだ接続後の接続部の断面の拡大図で、図15はリードのはんだ濡れ性が良好な接続部、図16は濡れ性の悪い接続部の状態を示したものである。

30 【0045】本実施例はマルチチップ半導体装置の組立、はんだ接続時の TCP 1 のリードのはんだ濡れ性検査を確実にし得る構造を提供するものである。すなわち、図13及び図14に示したようにアウターリードをコネクタ枠2の端部から張り出させることによって、また、アウターリード15の先端部の幅を端面スルーホール29の幅と同等にすることによって、はんだ濡れ性が良好な場合は図15に示すように良好なはんだフィレット60が形成され、濡れ性が悪い場合には図16に示すようにはんだフィレットが形成されないことから、はんだ濡れ性の検査を外觀から容易に検査することができるものである。

【0046】

【発明の効果】以上述べてきたように、マルチチップ半導体装置を本発明構成の装置とすることによって、従来技術の有していた課題を解決して、接続部の高信頼性を確保した大容量のマルチチップ半導体装置を提供することができた。

50 【0047】すなわち、コネクタ枠の端子上にスペーサを設けたことにより端子とリードとの間に一定の間隔を設けることができ、はんだ溶融接続時のはんだ浸透性の向上と接続部のはんだ中に占める金の含有率を大幅に低

下させることができ、接続信頼性の大幅な向上を図ることができた。また、端面スルーホール構造にしてコネクタ枠の接続部を端面に露出させ、また同時に TCP リードの端部も露出する構造にすることにより、接続状態の外観検査が一目で行えるようになり、品質の向上と生産性の向上が図れるようになった。さらに、溶融はんだ法によるはんだ接続が可能になって接続プロセスの単純化が図れ、かつ、TCP リード表面の金が溶融はんだ中に拡散することによって、接続部の金含有量を微量に抑えることができ、接続の信頼性を大幅に向上させることができた。

【0048】

【図面の簡単な説明】

【図1】マルチチップ半導体装置の接続部の断面図。

【図2】TCP の平面図。

【図3】図2の A-A 部の断面図。

【図4】コネクタ枠の平面図。

【図5】コネクタ枠の一部拡大平面図。

【図6】コネクタ枠の側面図。

【図7】コネクタ枠の A-A 部の断面図。

【図8】マルチチップ半導体装置の一部拡大断面図。

【図9】マルチチップ半導体装置の回路ブロック図。

【図10】チップ選択端子部の斜視図。

【図11】共通端子部の接続部拡大断面図。

【図12】チップ選択端子部の接続部拡大断面図。

【図13】本発明に係るマルチチップ半導体装置のコネクタ枠端子と TCP のアウターリードとの接続部の断面図。

【図14】図13の接続部の平面図。

【図15】リードのはんだ濡れの良い接続部の拡大断面図。

【図16】リードのはんだ濡れの悪い接続部の拡大断面図。

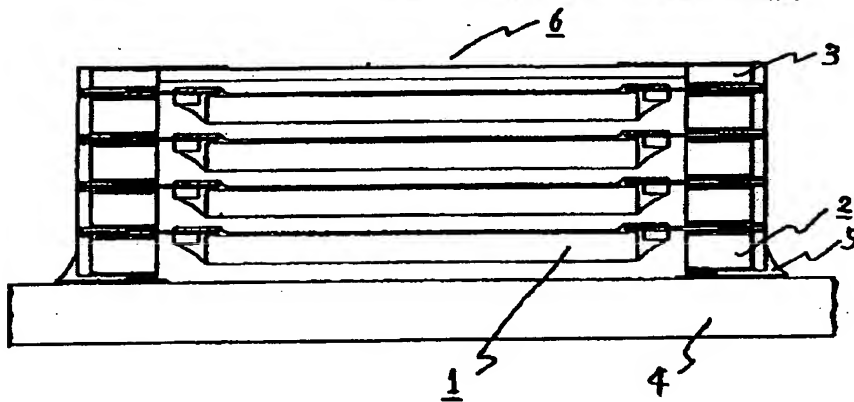
【符号の説明】

1…TCP (テープキャリアパッケージ)、2…コネクタ枠、4…マザーボード、5、33…はんだ、6…マルチチップ半導体装置、10…半導体チップ、15…アウターリード、18…チップ選択リード、19…ダミーリード、26…表面端子、27…裏面端子、29…端面スルーホール、30…表面スペーサ、31…裏面スペーサ、50…チップ選択基板端子、51…チップ選択端子、60…フィルット。

【図1】

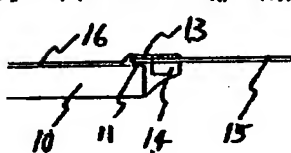
【図1】

マルチチップ半導体装置の接続部の断面図



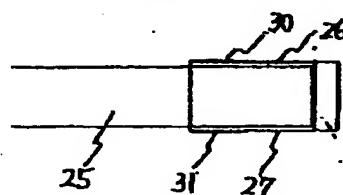
【図3】

【図3】 図2の A-A 部の断面図



【図7】

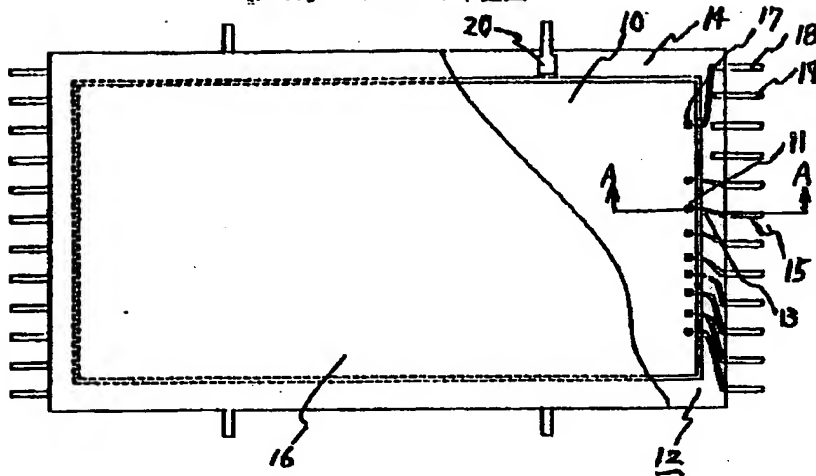
【図7】 コネクタ枠の A-A 部の断面図





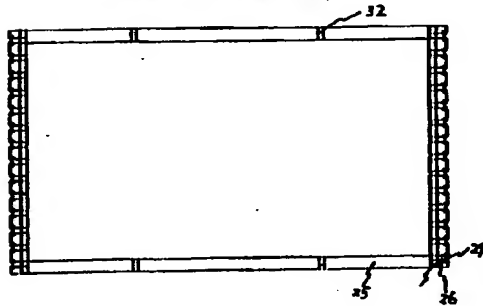
【図2】

【図2】 TCPの平面図



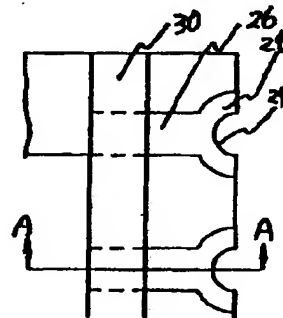
【図4】

【図4】 コネクタ枠の平面図



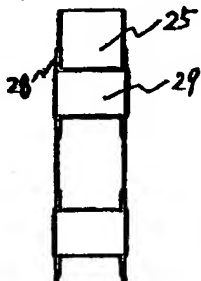
【図5】

【図5】 コネクタ枠の一部拡大した平面図

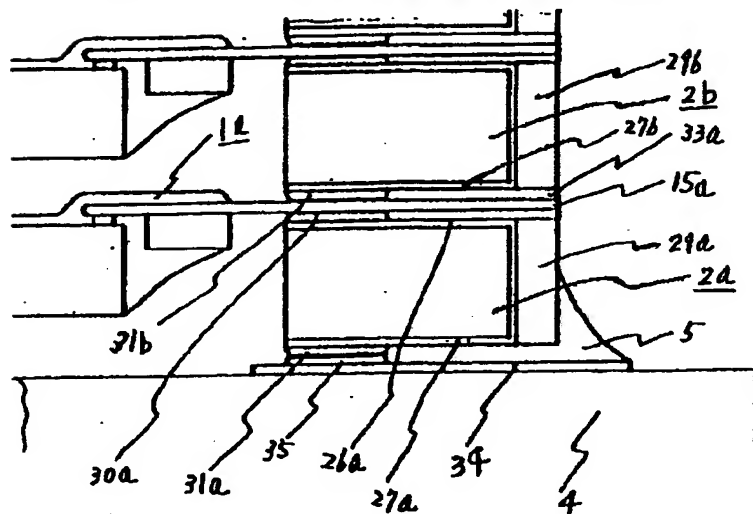


【図6】

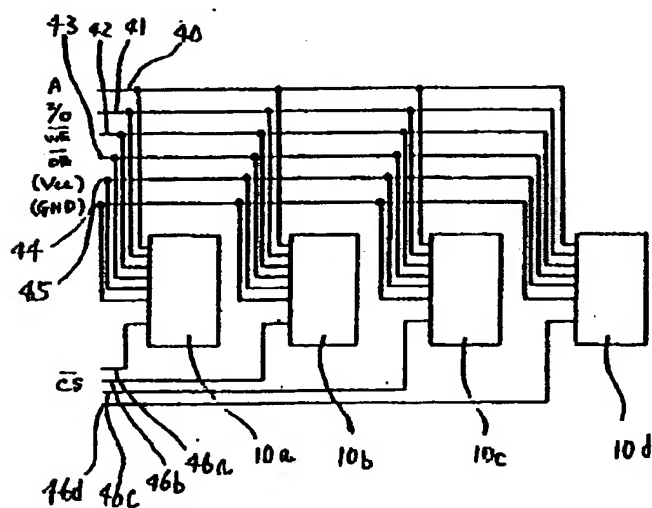
【図6】 コネクタ枠の側面図



【図8】 マルチチップ半導体装置の一部拡大断面図

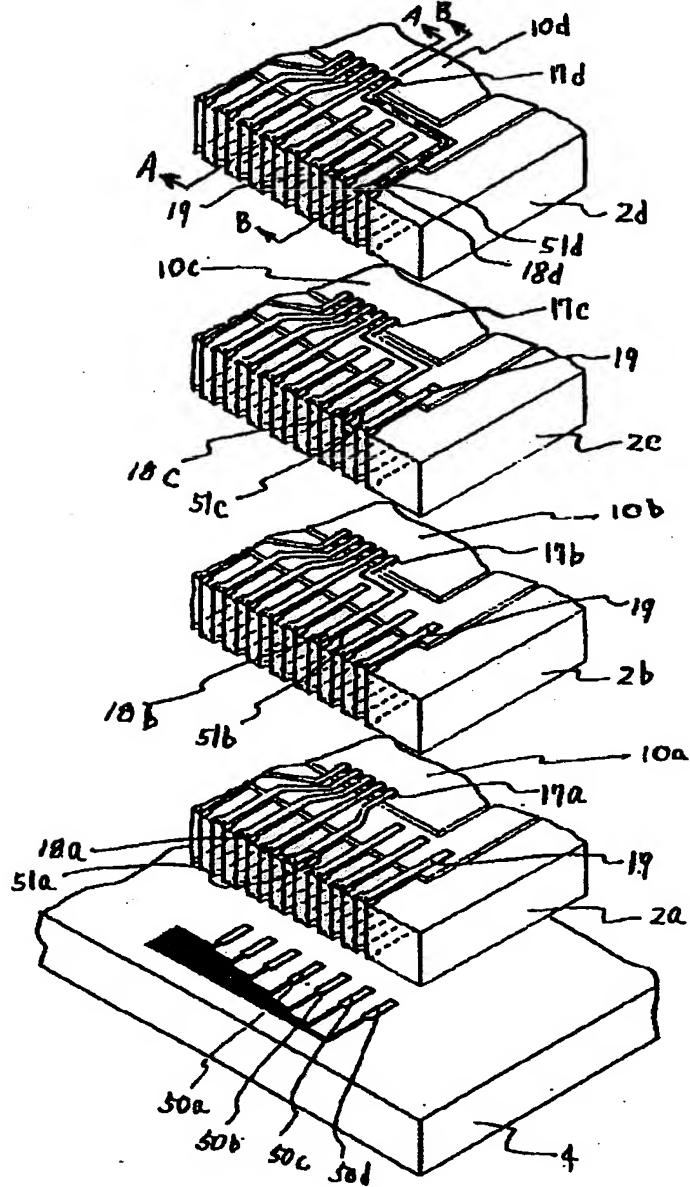


【図9】 マルチチップ半導体装置の回路ブロック図



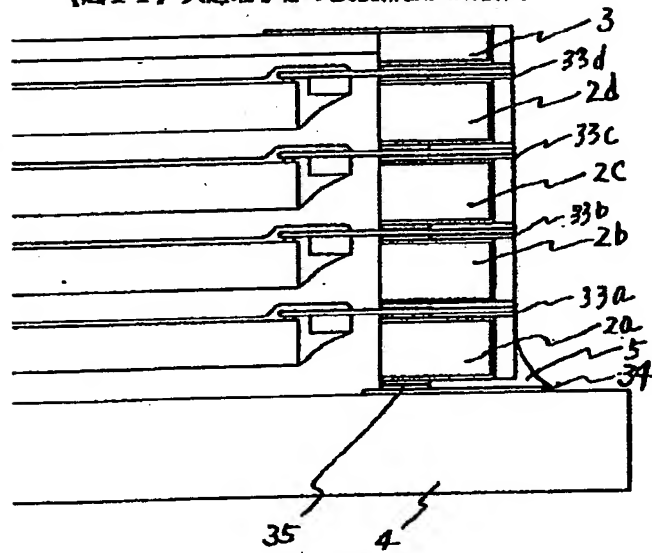
【図10】

【図10】チップ選択端子部の斜視図



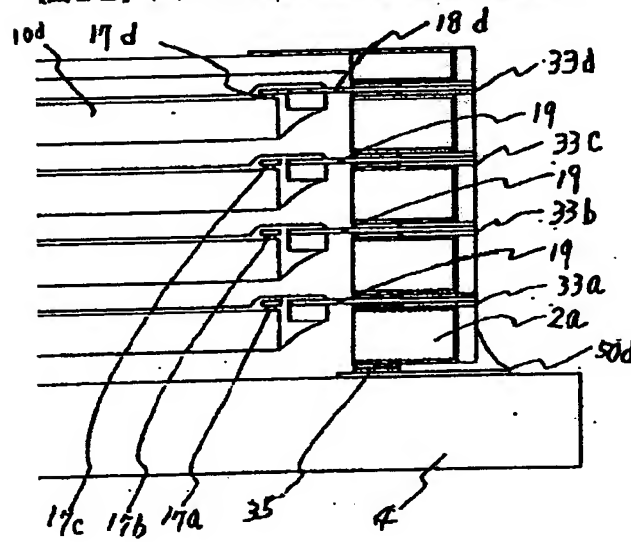
【図11】

【図11】共通端子部の接続部拡大断面図



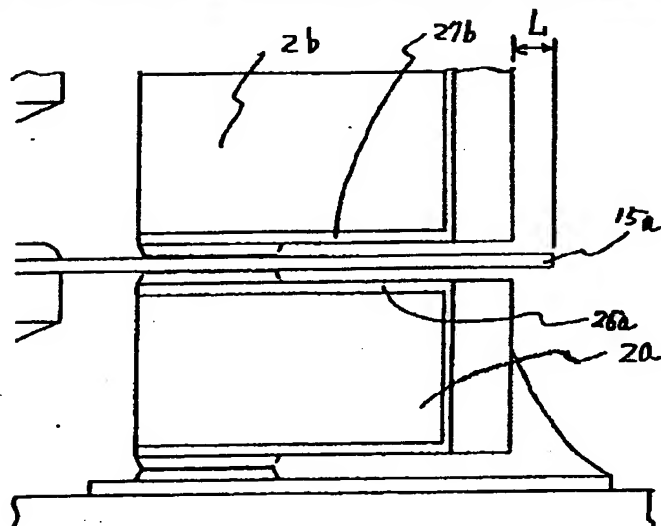
【図12】

【図12】チップ選択端子部の接続部拡大断面図



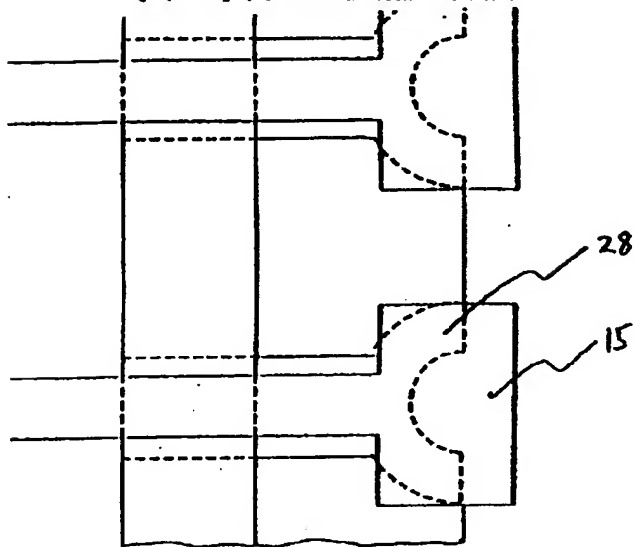
【図13】

【図13】 コネクタ枠端子とTCPの OUTER-リードとの接続部の断面図



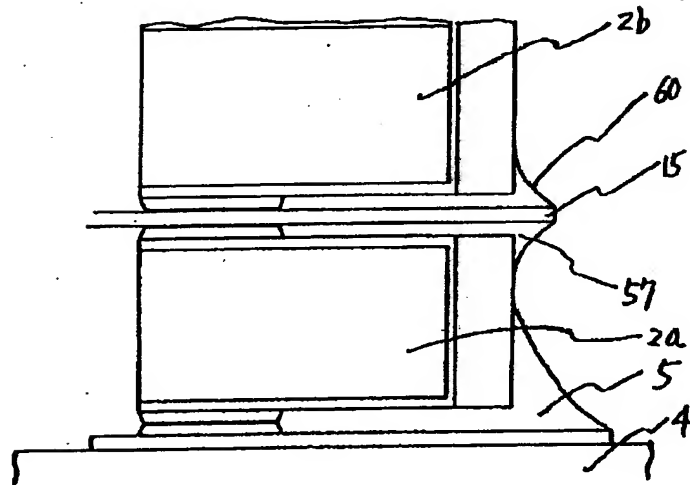
【図14】

【図14】 図13の接続部の平面図



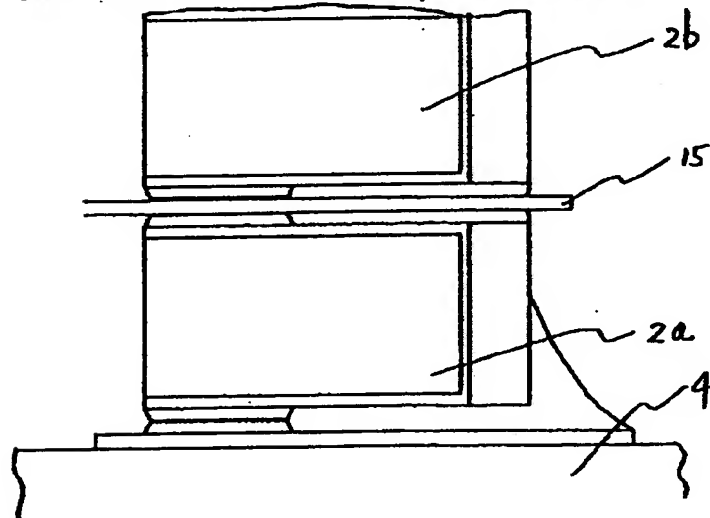
【図15】

【図15】 リードのはんだめれの良い接続部の拡大断面図



【図16】

【図16】 リードのはんだめれの悪い接続部の拡大断面図



フロントページの続き

(72)発明者 芦沢 弘二  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 田中 大之  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 宮野 一郎  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 山崎 和夫  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体設計開発センタ内

(72)発明者 山田 宗博  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体設計開発センタ内